

Composants

COLLABORATORS

| | | | |
|---------------|------------------------------|-----------------|------------------|
| | <i>TITLE :</i> Composants | | |
| <i>ACTION</i> | <i>NAME</i> | <i>DATE</i> | <i>SIGNATURE</i> |
| WRITTEN BY | | August 19, 2022 | |

REVISION HISTORY

| NUMBER | DATE | DESCRIPTION | NAME |
|--------|------|-------------|------|
| | | | |

Contents

| | |
|--|----------|
| 1 Composants | 1 |
| 1.1 Les Composants | 1 |
| 1.2 Microprocesseurs | 1 |
| 1.3 Le Code de Référence Motorola | 2 |
| 1.4 Les Processeurs Motorola | 3 |
| 1.5 MC68000 et MC68HC000 | 3 |
| 1.6 MC68008 | 4 |
| 1.7 MC68010 | 4 |
| 1.8 MC68012 | 5 |
| 1.9 MC68020 | 5 |
| 1.10 MC68030 | 5 |
| 1.11 XC68040 | 6 |
| 1.12 XC68060 | 6 |
| 1.13 PowerPC | 8 |
| 1.14 Les dérivés | 9 |
| 1.15 MC68EC020 | 10 |
| 1.16 MC68EC030 | 10 |
| 1.17 MC68EC040 et MC68LC040 | 10 |
| 1.18 Les Unités De Calculs En Virgule Flottante (FPU) | 10 |
| 1.19 MC68881 | 11 |
| 1.20 MC68882 | 11 |
| 1.21 A2630 et 68882 ou 68881 ? | 12 |
| 1.22 MC68040 et MC68060 | 12 |
| 1.23 Les Unités De Gestion Mémoire par Pagination (PMMU) | 12 |
| 1.24 Accès Burst | 13 |
| 1.25 Les Custom Chips et les Autres | 13 |
| 1.26 Original Chip Set | 15 |
| 1.27 Enhanced Chip Set | 15 |
| 1.28 Chipset AA ou AGA ? | 16 |
| 1.29 AAA | 17 |

| | | |
|------|---|----|
| 1.30 | Hombre | 21 |
| 1.31 | AGNUS / ALICE / ANDREA | 21 |
| 1.32 | Le Copper | 22 |
| 1.33 | Blitter | 23 |
| 1.34 | AKIKO | 24 |
| 1.35 | AMBER | 24 |
| 1.36 | BRIDGETTE | 24 |
| 1.37 | BUDGIE | 25 |
| 1.38 | BUSTER | 25 |
| 1.39 | DENISE / LISA / MONICA | 26 |
| 1.40 | GARY | 27 |
| 1.41 | GAYLE | 27 |
| 1.42 | LINDA | 27 |
| 1.43 | PAULA / MARY | 28 |
| 1.44 | RAMSEY | 28 |
| 1.45 | Video DAC | 28 |
| 1.46 | SUPER DMAC | 29 |
| 1.47 | Contrôleur SCSI WD | 29 |
| 1.48 | CIA A & B | 29 |
| 1.49 | Random Access Memory | 29 |
| 1.50 | Les Différents Boîtiers | 30 |
| 1.51 | Les Différents Types de RAM | 30 |
| 1.52 | Les Temps d'Accès | 31 |
| 1.53 | La ROM Kickstart | 31 |
| 1.54 | Mise à jour | 32 |
| 1.55 | La Mémoire Cache | 33 |
| 1.56 | Autres Composants | 33 |
| 1.57 | 6570 et Keyboard MPU | 33 |
| 1.58 | Le Digital Signal Processor | 34 |
| 1.59 | Gate Array Logic & Programmable Array Logic | 35 |
| 1.60 | Les Oscillateurs | 36 |
| 1.61 | Fréquences | 36 |
| 1.62 | Lexique Composants | 36 |

Chapter 1

Composants

1.1 Les Composants

Les Microprocesseurs Motorola

Les FPU

Les PMMU

Les Custom Chips

La Mémoire Cache

Random Access Memory

La ROM Kickstart

Autres Composants

Lexique

[Retour Au Menu Principal](#)

1.2 Microprocesseurs

La série des microprocesseurs M68000 de Motorola est ←
utilisée comme Unité

Centrale de tous les Amiga en production à ce jour. Les différents modèles d'Amiga existants utilisent toutes les principales variantes de cette famille de microprocesseurs. Des tierces sociétés proposent des cartes accélératrices offrant une possibilité de mise à jour pour de nombreux systèmes nés avec les premières unités de la série des 68000.

Le Code de Référence Motorola

Les Processeurs Motorola

Les FPU

Les PMMU

1.3 Le Code de Référence Motorola

Sur ses composants, Motorola fait figurer un code d'identification de type :

MC68000RC12

Les deux premiers caractères définissent le niveau de test du composant.

Les cinq caractères suivants définissent le type du composant.

Les deux suivants le support pour lequel il est prévu.

Et les deux derniers donnent la fréquence d'utilisation prévue en MHz.

Le niveau de test :

MC est le préfixe habituellement trouvé sur un processeur quand il a passé un ensemble de tests très pointus qui incluent par exemple 5000 heures de fonctionnement.

Puisque ces tests prennent beaucoup de temps, Motorola vend des processeurs avant qu'ils aient passés tous ces tests, mais seulement quand il est certain que le composant est totalement fiable et finalisé. Dans ce cas le préfixe XC est utilisé, signifiant qu'il n'y a aucune erreur dans la conception du processeur, mais simplement qu'il n'a pas passé toutes les batteries de tests.

Les développeurs peuvent parfois obtenir des prototypes des composants de Motorola qui recoivent alors le préfixe PC.

Actuellement les processeurs 68040, 68060 ainsi que les co-processeurs 68882 cadencés à 50 MHz portent le préfixe XC. Tous les autres composants de la série 68000 ont le préfixe MC.

Support :

| | |
|----|--------------------------------------|
| L | Support dual-in-line |
| LC | Support céramique dual-in-line |
| P | Support plastique dual-in-line |
| RC | Support céramique pin grid array |
| R | Support pin grid array avec standoff |
| FN | Support quad pack |

FE Montage en surface céramique / Support quad flat pack céramique
FG Support quad flat pack céramique
RP Support pin grid array plastique / Support quad flat pack plastique
FC Support quad flat pack plastique
LRC Comme RC, mais avec de meilleures caractéristiques thermiques
ERC Comme RC, mais avec de meilleures caractéristiques thermiques

Fréquence d'utilisation :

Les processeurs Motorola sont certifiés pour les fréquences suivantes :

8, 10, 12 (en fait 12.5), 16 (en fait 16.67), 20, 25, 33 (en fait 33.33), 40 et 50 MHz

Faire fonctionner un processeur à une fréquence supérieure à celle pour laquelle il est certifié risque de provoquer une surchauffe du composant et éventuellement de l'endommager.

1.4 Les Processeurs Motorola

Voici un survol des différentes versions des MC68000 ainsi que leurs principales utilisations dans l'Amiga :

MC 68000

MC 68020

MC 68008

MC 68030

MC 68010

XC 68040

MC 68012

XC 68060

PowerPC

Les dérivés

1.5 MC68000 et MC68HC000

Né en 1979, le MC68000 est l'UC avec laquelle est né l'Amiga, ← utilisée dans l'A1000 en premier lieu, et par la suite dans l'A500, CommodoreDynamicTotalVision, A500+, A600 et les A2000 de base. Présentée dans un boîtier de 64 broches, cette UC est caractérisée par un bus d'adresse travaillant sur 24 bits, lui procurant une capacité d'adressage de 16 mégaoctets, et un bus de données sur 16 bits. Ce microprocesseur est considéré comme étant une unité 16/32 bits. Il reçoit les données sous format 16 bits, cependant, en interne, il effectue un traitement sur 32 bits au niveau des données comme des instructions. Dans tous les Amiga de bases utilisant cette UC, le microprocesseur est cadencé à la fréquence du bus du système, approximativement 7.15 MHz pour les systèmes fonctionnant sous NTSC, et environ 7.09 MHz pour les systèmes PAL. Certaines cartes accélératrices construites autour de cette UC (alors cadencée à 14.28 MHz, voire 16.0 MHz) existent, prenant la place du composant original de la carte mère. Plus tard, la variante du 68000 nommée MC68HC000 a fait son apparition sur le marché des cartes accélératrices pour Amiga. Le 68HC000 est un 68000 classique, mais fabriqué en technologie CMOS (Complementary Metal Oxide Silicon). Cette technique de fabrication du composant lui permet d'être cadencé à des taux plus élevés, avec une consommation d'énergie inférieure à celle d'un 68000 standard. En dehors de ces points, le 68HC000 est identique au 68000 de base.

1.6 MC68008

Ce composant est quasiment identique au 68000. Cependant, il offre un bus de données sur 8 bits et un bus d'adressage sur 20 bits. Il adresse donc 1 Mo de mémoire et ne peut donc être utilisé dans l'Amiga. Il est légèrement plus petit que le 68000 et est couramment trouvé à une fréquence de 8 ou 10 MHz.

1.7 MC68010

Cette UC n'a pas été officiellement utilisée dans les systèmes Amiga, elle peut cependant être trouvée à l'occasion. Le MC68010 est compatible broches à broches avec le MC68000, autorisant le remplacement par simple échange dans tout système utilisant ce dernier (avec l'utilisation de patches adéquates). La plupart des systèmes ne notent pas d'accélération fantastique des performances en utilisant le 68010 puisque ses améliorations par rapport au 68000 n'ont rien de révolutionnaire. Le MC68010 intègre différentes optimisations de routines internes par rapport au MC68000, permettant une exécution plus rapide des instructions dans certaines circonstances. Il adresse directement 16 Mo et les notions de gestion de mémoires et de machines virtuelles ont été ajoutées. Ainsi, cette UC n'a été que rarement utilisée dans les Amiga, et est souvent présente quand des possesseurs d'Amiga équipés de 68000 ont choisi de remplacer directement leur UC de base par ce composant. Le 68010 existe en versions 8, 10 et 12 MHz.

1.8 MC68012

Ce composant est une version améliorée du 68010. Il possède 31 lignes d'adresses et peut donc gérer 2 Go de mémoire. Cependant le 68012 n'est pas compatible broche à broche avec le 60000 et ne peut donc être utilisé sur l'Amiga.

1.9 MC68020

Une progression majeure de la gamme en 1984. Le MC68020 intègre un grand nombre d'améliorations par rapport aux précédents membres de cette famille de microprocesseurs. Le MC68020 est le premier microprocesseur vrai 32 bits de la série des 68000, incorporant des bus d'adresses et de données entièrement 32 bits, ainsi qu'un cache d'instructions de 256 octets, de façon à garder les routines souvent utilisées sur un support à accès rapide. Le MC68020 est une avancée décisive par rapport aux MC68000 ou MC68010, avec une architecture plus apte à faire face aux sollicitations de ces nouvelles ressources. Sa capacité d'adressage est de 4 Go. Il est aussi prévu pour un interfaçage efficace avec des coprocesseurs comme le 68881/82 ou la PMMU 68851. Le 68020 est utilisé dans les premiers Amiga accélérés, apparaissant en tant que processeur central dans les premiers A2500 (14.28 MHz), ou sur les cartes des systèmes abritant une CBM A2620 (14.28 MHz). De nombreuses cartes accélératrices utilisant cette UC furent produites par des sociétés tierces, allant des produits bon marché pour A500 à ceux prévus pour la série des A2000. Par la suite, l'A1200 et la CD32 en furent dotés (14.32 MHz NTSC ou 14.18 MHz PAL) mais dans sa version EC. Dans la plupart des cas, cette UC et cadencée approximativement à 14.28 - 16.0 MHz (voire 28 MHz), quelques cartes bon marché se limitant au 7.15 MHz (NTSC) / 7.09 MHz (PAL) de l'horloge de l'Amiga. Cependant, le 68020 existe en versions 12, 16, 20, 25 et 33 MHz.

1.10 MC68030

Des améliorations furent apportées au MC68020 en 1987, incluant ←
l'ajout d'un
cache de données de 256 octets en complément à celui d'instructions existant,
et l'intégration d'une unité de gestion mémoire (MMU) en vue de produire le
MC68030. Il dispose aussi d'une possibilité d'accès
Burst
en RAM. Des
améliorations internes ont été apportées à cette UC par rapport au MC68020 pour
lui permettre de tenir sa place face à la génération de microprocesseurs
concurrents. Le 68030 peut être vu comme une optimisation du 68020, apportant
quelques détails supplémentaires, mais sans représenter une fantastique
évolution de son architecture vis à vis de son prédécesseur.

Le MC68030 est l'UC des derniers A2500 (25 MHz), ainsi que celle des A3000 (16 ou 25 MHz). Celle des A4000/030 (25 MHz) est une version EC. Ce microprocesseur a aussi été largement utilisé sur des cartes accélératrices pour tous les modèles d'Amiga et est cadencé à différentes vitesses allant de 16.0 MHz à 60 MHz.

1.11 XC68040

D'abord trouvé sur certaines cartes accélératrices, puis utilisé comme processeur principal pour l'A4000/040, le 68040 appartient à la génération suivante par rapport au modèle MC68030 et intègre de nombreuses et remarquables nouvelles capacités jamais vues dans cette série de microprocesseurs. Les caches d'instructions et de données trouvés dans le MC68030 sont présents, mais leur taille a été étendue à 4 Ko chacun. En plus, le cache de données de ce processeur supporte maintenant un mode d'opération 'CopyBack', offrant un temps d'accès extrêmement rapide aux données en détournant les écritures mémoires vers le cache jusqu'à ce qu'une mise à jour du contenu de la mémoire soit absolument nécessaire. La mémoire adressable est de 4 Go. Des MMU intégrées sont présentes aussi bien pour les flux de données que d'instructions dans l'UC, et l'architecture interne a été largement optimisée pour de meilleures performances. Une unité de calcul en virgule flottante (FPU) est également intégrée pour les calculs concernés. Le 68040 est pour le moment trouvé à des vitesses allant de 25 à 40 Mhz.

Plusieurs cartes accélératrices à base de 040 sont sorties pour A500/A2000/A3000/A4000. L'installation d'un 040 sur une carte pour A1200 semble poser de nombreux problèmes, à commencer par le dégagement excessif de chaleur, et semble avoir été abandonné.

1.12 XC68060

Le XC68060 est un microprocesseur 32 bits hautes performances. Il est totalement compatible avec les précédents membres de la famille M68000. Le XC68060 offre entre autre, un double cache mémoire intégré, des MMU destinées aux instructions et aux données, une unité de calcul sur flottants intégrée. Un haut degré d'exécution en parallèle est atteint par l'utilisation d'une architecture interne Harvard complète, de bus internes multiples, des unités d'exécutions indépendantes. La gestion de l'énergie fait aussi partie de l'architecture du XC68060. Il offre un mode d'opération à basse consommation d'énergie accessible par l'instruction LPSTOP. Le XC68060 est conçu pour que les circuits non utilisés ne consomment pas de courant.

La complète compatibilité avec les précédants membres de la famille permet d'utiliser les programmes existants et de profiter de l'expérience acquise afin de sortir rapidement de nouveaux produits.

Liste des principales caractéristiques du 68060 :

- 100 % compatible 68040 pour l'utilisateur
- Performances 3 fois supérieures à celles d'un 68040 à 25 MHz
- Exécution en parallèle des instructions sur les entiers
- FPU intégrée compatible IEEE
- MMU indépendantes pour les instructions et les données
- 2 caches intégrés de 8 Ko à accès simultané pour les données et les

instructions

- Surveillance du bus
- Bus 32 bits non multiplexés pour les données et les instructions
- Contrôle de la consommation d'énergie
- Technologie HCMOS
- Disponible en 50 et 66 MHz
- Livré en PGA (Pin Grid Array) ou CQFP (Ceramic Quad Flat Pack)

L'unité de gestion des entiers se charge des opérations logiques et arithmétiques. Elle contient un contrôleur d'entrées/sorties d'instruction, un contrôleur d'exécution et un cache de sortie.

Ce cache de sortie joue un rôle majeur dans les performances du XC68060. Le concept de ce cache est d'offrir un mécanisme qui permet au canal d'instructions de détecter et de changer la direction du flot d'instructions avant que le flot n'affecte le contrôleur d'exécution des instructions.

Le contrôleur d'exécution des instructions

Ce contrôleur contient un double canal d'exécution sur entiers, une interface logique avec la FPU et un contrôle logique des données écrites dans le cache de données et de la MMU. Chaque cycle d'horloge permet d'exécuter deux instructions simultanément.

Le XC68060 est optimisé pour la plupart des instructions sur entiers. Si, durant le décodage d'une instruction, celle-ci est déterminée comme étant une instruction sur flottant, elle sera passée à la FPU.

La FPU se charge des calculs comportant des nombres avec virgules flottantes. Celle-ci est compatible avec les 68881/82 et celle intégrée au XC68040. Le fait de conserver cette importante unité en interne accélère le traitement en général et élimine la nécessité d'une interface avec une unité externe. Cette FPU opère en parallèle avec l'unité traitant les entiers.

Cette FPU a été optimisée pour la plupart des instructions ou données et peut être déconnectée par logiciel pour réduire la consommation de courant.

Le XC68060 contient des MMU indépendantes pour les instructions et les données. Chacune contient un cache mémoire appelé Cache de Translation d'Adresse (ATC). La capacité d'adressage totale du XC68060 est de 4 Go (soit 4 294 967 296 octets).

Chaque MMU protège les zones superviseur des accès par les programmes utilisateurs et offre une protection en écriture sur une base page par page.

Pour une efficacité maximale, chaque MMU opère en parallèle avec les autres activités du processeur. Elles peuvent aussi être déconnectées.

En ce qui concerne l'utilisation dans l'Amiga, la carte processeur CyberStorm 060 pour A4000/A3000 est disponible depuis peu. Quelques sociétés annoncent que des cartes accélératrices pour A2000, voire même pour A1200 sont à l'étude. La conception d'une carte 060 pour 1200 pose a priori moins de problèmes qu'avec un 040 car le 060 dégage moins de chaleur pour une consommation inférieure. De plus, le Draco l'utilisera comme unité centrale.

1.13 PowerPC

Le PowerPC est un microprocesseur RISC conçu pour correspondre à un standard défini conjointement par Motorola, IBM et Apple. Ce standard spécifie l'architecture commune d'un jeu d'instructions, permettant à tous de créer et fabriquer des processeurs PowerPC, fonctionnant avec le même code. L'architecture du PowerPC est basée sur celle des IBM Power utilisés dans les stations de travail RS/6000.

Le standard PowerPC spécifie des formats de données sur 32 et 64 bits. Ce dernier sera utilisé dans un avenir proche pour atteindre de hautes performances. Le PowerPC possède 32 registres d'entiers (32 ou 64 bits) et 32 registres en virgules flottantes au standard IEEE 64 bits.

Le PowerPC intègre une émulation du code 680x0, permettant de faire fonctionner la plupart des applications destinées à cette gamme de microprocesseurs.

Les différents modèles :

PowerPC 601 :

Le premier PowerPC. Il a été conçu comme un pont entre l'architecture POWER (Performance Optimized With Enhanced RISC architecture) et l'architecture PowerPC, il devie donc légèrement du standard PowerPC. Il intègre 2.8 millions de transistors et dispose d'un cache de 32 Ko. Il dispose d'un bus d'adresse sur 32 bits et d'un bus de données sur 64 bits. Il peut exécuter 3 instructions par cycle d'horloge.

Il est présenté en boîtier QFP (Quadruple Flat Pack).

Fabriqué par IBM et vendu par Motorola.

Existe en version 50, 60, 66, 80, 100, 110 et 120 MHz.

PowerPC 603 :

Un processeur à basse consommation d'énergie, destiné aux applications portables. Ses performances sont sensiblement équivalentes à celles du 601. Dispose d'un cache de 8Ko pour les instructions et un autre pour les données. Il peut exécuter 3 instructions par cycle d'horloge. Il dispose d'une gestion de la puissance en vue d'économiser l'énergie.

Il est présenté en boîtier CQFP (Ceramic Quadruple Flat Pack).

Fabriqué par IBM et Motorola.

Existe en version 66, 75 et 80 MHz.

PowerPC 604 :

Un processeur à hautes performances, destiné pour les machines haut de gamme. Il dispose d'un bus de données sur 64 bits et d'un bus d'adresse sur 32 bits. Il peut exécuter 4 instructions par cycles d'horloge. Les fonctions de pipelinage et de travail en parallèle sont plus importante.

PowerPC 615 :

Annoncé par IBM, prévu pour intégrer le hardware nécessaire à l'émulation d'un système x86.

PowerPC 620 :

Le plus puissant de la gamme actuellement. Il dispose de bus de données et d'adresse sur 64 bits avec plusieurs niveaux de parallélisme. Destiné aux stations de travail et aux systèmes multi-processeurs.

PowerPC 630 :

Annoncé pour 1997. Prévu pour les architectures massivement parallèles. Puissance estimée au double de celle d'un 620.

Aucune utilisation de ce microprocesseur n'est officiellement annoncée dans l'Amiga. Cependant, sa capacité d'émulation de la série 680x0 offre une possibilité non négligeable de faire passer l'Amiga dans la génération RISC.

1.14 Les dérivés

Il y a plusieurs versions de ces modèles de microprocesseurs en production. ↔

Les plus récentes variantes créées par Motorola sont les séries "EC" des M680X0, et les séries "LC" du MC68040. Les séries "EC" (Embedded Controller) sont caractérisées par des changements par rapport au composant original, allant d'une simple modification d'aspect au retrait de certaines fonctions internes.

Cette dernière option est celle qui a été choisie pour les MC68EC020, MC68EC030 et MC68EC040.

Leur prix étant légèrement inférieur aux composants originaux, Commodore a préféré installer ces microprocesseurs dans les A1200/CD32 (MC680EC20), A4000/30 (MC680EC30) et certains A4000/40 (MC680LC40).

MC 68EC020

MC 68EC030

MC 68EC040 et 68LC040

1.15 MC68EC020

Le MC68EC020 se distingue par un adressage sur 24 bits (soit 16 Mo adressables), contrairement au classique adressage sur 32 bits du 68020 standard. En dehors de cette différence, il est identique au 68020.

1.16 MC68EC030

Le MC68EC030 est caractérisé par l'absence d'une MMU intégrée. Sinon, il fonctionne de la même façon qu'un MC68030 standard.

Motorola a, pendant une courte période, été en rupture de stock de 68EC030. Plutôt qu'imposer de longs délais à leurs clients, les responsables de Motorola ont préféré envoyer des 68030 complets mais gravés MC68EC030. Ainsi, certaines machines ou cartes présentes sur le marché à cette époque sont donc peut-être équipées d'un "vrai" MC68030.

1.17 MC68EC040 et MC68LC040

Les MC68EC040 et MC68LC040 sont similaires l'un et l'autre excepté que les MMU intégrées du 68040 standard sont préservées dans le LC, avec uniquement une FPU non opérationnelle dans cette unité, alors que le EC se voit retiré aussi bien la FPU que les MMU.

Dans les premiers temps, quelques 68040 référencés XC68EC040 ont pu être trouvés sur les premières cartes accélératrices pour Amiga. Ces composants sont en fait des beta versions. Malgré le EC présent dans le nom, ces unités possèdent bien leurs MMU et leur FPU et fonctionnent comme un 68040 classique.

Dernièrement, Motorola a annoncé la sortie de deux nouvelles versions du 68040 : 68LC040 à 33/66 Mhz et 68LC040 25/50 Mhz. Les deux fréquences indiquent le fonctionnement externe et interne. Cependant, aucune utilisation n'est prévue dans l'Amiga pour l'instant.

1.18 Les Unités De Calculs En Virgule Flottante (FPU)

De nombreux Amiga "accélérés" utilisent aussi une FPU (Floating Point Unit) (ou FPCP pour Floating Point CoProcessor) pour les calculs intensifs portant sur les virgules flottantes. Les principales FPU utilisées sur les différents

Amiga disponibles, comme sur les cartes accélératrices proposées, sont aussi fabriquées par Motorola. Que ce soit en tant que coprocesseur distinct, ou, comme dans le cas du MC68040, intégré dans l'UC elle-même.

Voici un rappel des différentes FPU utilisées :

MC 68881

MC 68882

MC 68040 et 68060

1.19 MC68881

Il s'agit d'une unité séparée de calcul en virgule flottante ←
qui accélère

considérablement le fonctionnement des logiciels prévus pour son utilisation, tout en s'intégrant parfaitement dans le système existant. Cette unité autorise un certain niveau de travail en parallèle, offrant la possibilité d'exécuter certaines instructions alors que l'UC principale exécute d'autres opérations. La gestion de ce coprocesseur est possible soit par l'intermédiaire d'une routine d'interfaçage intégrée aux MC68020 et MC68030, ou par une émulation logicielle de cette interface pour les MC68000 et MC68010. Cette dernière technique n'a été utilisée que par quelques-unes des premières cartes accélératrices pour Amiga, puisque l'interface recommandée, celle des MC68020 et MC68030, est supportée par quasiment tous les accélérateurs utilisant ces UC. Le MC68881 peut fonctionner de façon asynchrone avec l'horloge de l'UC, signifiant qu'il n'est pas nécessaire de le cadencer à la même vitesse que l'UC elle-même. Ainsi, une FPU plus rapide peut être utilisée pour donner une sorte d'effet turbo aux opérations en virgule flottante.

Le MC68881 supporte toutes les caractéristiques IEEE en flottants, ainsi que la plupart des fonctions arithmétiques et transcendentales.

Il supporte les formats suivants :

- Simple précision 32 bits
- Double précision 64 bits
- Précision étendue 80 bits.

Les MC68881 utilisés dans les Amiga sont trouvés le plus souvent à des fréquences d'horloge allant de 12 à 33 MHz. Né en 1985 ce coprocesseur était présent sur les cartes CBM A2620 (14.28 MHz), les toutes premières cartes CBM

A2630

(25 MHz) et sur les A3000 à 16 MHz.

1.20 MC68882

Le successeur du MC68881 en 1986. Cette unité supporte les mêmes interfaces et opérations que la précédente, mais avec quelques améliorations internes. Les routines de nombreuses opérations ont été optimisées pour accélérer les temps de réponse, et la possibilité d'effectuer plusieurs opérations en virgule flottante simultanément est ajoutée. De plus, elle se compose maintenant de deux parties : l'unité de conversion (qui transforme les données en un format interne de 80 bits) et l'unité arithmétique. En général cette FPU travaillera à 1,5 fois la vitesse d'un MC68881 pour une fréquence d'horloge équivalente. Le MC68882 est couramment cadencé à des fréquences allant de 16 à 60 MHz, en fonction de la carte ou du système qui l'utilise. Très répandu, ce composant se trouve sur la plupart des cartes accélératrices récentes. Par exemple, il est présent sur l'A3000 à 25 MHz ou l'A2630.

1.21 A2630 et 68882 ou 68881 ?

Commodore avait prévu d'équiper ses cartes accélératrices A2630 de coprocesseurs arithmétiques MC68881 à 25 MHz. C'est d'ailleurs ce nom qui est inscrit sur les premières cartes (Révision 6 par exemple). Mais Motorola éprouvait alors de grosses difficultés à fournir en nombre des MC68881 à 25 MHz fiables. Commodore opta alors pour le 68882, conçu dès l'origine pour cette fréquence.

1.22 MC68040 et MC68060

Les MC68040 et MC68060 intègrent une FPU dans le processeur lui-même. Cette FPU est une version édulcorée du MC68882, éliminant principalement les fonctions transcendentes (sin, cos, etc...) et complexes présentes dans les routines du précédent. Néanmoins, la nature optimisée des instructions de cette FPU permet, en émulation des fonctions absentes, d'offrir une exécution plus rapide qu'un MC68882 pour presque toutes les opérations.

1.23 Les Unités De Gestion Mémoire par Pagination (PMMU)

Les PMMU (Paged Memory Management Units) sont très peu utilisées dans les systèmes Amiga. Cependant elles offrent des fonctions qui ne sont pas inintéressantes. Sur certains systèmes accélérés équipés de PMMU, l'image de la ROM peut être déplacée vers un support mémoire plus rapide. Les temps d'accès à la ROM sont généralement plus lents que ceux effectués en RAM, et dans le cas d'une A500 ou A2000 pourvue d'une carte accélératrice équipée d'un bus de données sur 32 bits, plutôt que le classique 16 bits 7.15 MHz, il est extrêmement avantageux de déplacer le code kernel du système d'exploitation vers une région de la mémoire aussi rapide d'accès.

Le principe de la PMMU consiste, pour chaque accès vers la mémoire, à modifier l'adresse véhiculée par le processeur (adresse logique) en une autre adresse

(adresse physique) afin d'accéder réellement à l'information là où elle a été chargée par le système d'exploitation.

De manière générale, une PMMU offre la possibilité d'optimiser la gestion de la mémoire. Que se soit dans la recherche d'une plus grande rapidité d'accès, ou encore pour sécuriser les différentes zones qui cohabitent dans la mémoire de la machine. Cette dernière possibilité est d'ailleurs appréciée par les programmeurs qui peuvent ainsi aller fouiller les moindres recoins du système, avec un minimum de risques. La PMMU peut aussi être utilisée pour créer de la mémoire virtuelle sur mémoire de masse, en redirigeant les accès mémoires RAM vers un disque dur par exemple.

Le système UNIX ne peut d'ailleurs fonctionner que sur un système équipé d'une PMMU.

Une PMMU est intégrée sur les MC68030 standards, les MC68040 et MC680LC40. En ce qui concerne le MC68020, une PMMU externe était parfois présente sur certaines cartes accélératrices. Il s'agissait d'un composant distinct, le 68851 (ou très exceptionnellement la MMU 68451).

Le PMMU 68851

Le circuit PMMU 68851 (Paged Memory Management Unit) a été créé dans le but d'apporter un soutien efficace au processeur principal dans la gestion de la mémoire. Ce processeur doit être équipé d'une gestion de la mémoire virtuelle.

En fait, le PMMU fournit ses pleines possibilités en conjonction avec le 68020-030.

Principales caractéristiques :

Réalisé en technologie HCMOS

Adresses logiques et physiques sur 32 bits, code de fonction sur 4 bits

8 pages ayant une taille de rangement variable (256 octets à 32 Ko)

Protections possibles pouvant aller jusqu'à 8 niveaux

Support de l'ATC (Adress Translation Cache) pour le multitâche

Peut gérer un cache de données logiques ou physiques

Supporte plusieurs maîtres de bus logiques ou physiques

Existe en versions 12, 16 et 20 MHz

Le processeur maître et le coprocesseur communiquent en utilisant des cycles de bus standards mais peuvent travailler à des vitesses différentes.

1.24 Accès Burst

Transfert en salve de données sur une taille typiquement égale à un bloc du cache.

1.25 Les Custom Chips et les Autres

En plus des processeurs principaux, l'Amiga intègre aussi un certain nombre ↔
d'unités aux fonctions dédiées, connues sous le nom de custom chips. Leurs objectifs principaux sont variés, mais elles sont généralement chargées de choses comme la gestion des accès DMA et des différentes parties de la mémoire, de la génération des graphismes/sons et autres effets.

Les custom chips de l'Amiga et les coprocesseurs associés avec eux sont conçus de façon à soulager l'unité centrale de nombreuses tâches intensives, comme les opérations graphiques ou la génération du son. Elles supportent un niveau d'exécution en parallèle, permettant à l'UC de continuer à s'occuper des tâches non spécifiques pendant que les custom chips gèrent leurs opérations respectives. Ces unités sont capables d'Accès Directs en Mémoire (DMA) CHIP, libérant complètement l'UC de la responsabilité de cette tâche dans ce cas là.

Historique :

Original Chip Set
->
Enhanced Chip Set
->
AGA ou AA
ou Pandora -?->
AAA

-?-> ↔

Hombre
Ces custom chips ainsi que leurs alliés sont :

Agnus / Alice / Andrea
Akiko
Amber
Bridgette
Budgie
Buster
Denise / Lisa / Monica
Gary
Gayle
Linda
Paula / Mary

Ramsey
 Super DMAC
 Video DAC
 Contrôleur SCSI WD
 CIA A & B

1.26 Original Chip Set

Ce chipset est celui créé en 1985 avec l'Amiga par l'équipe d'origine, à Los Gatos en Californie. Jay Miner et RJ Michael en sont les principaux concepteurs. En son temps, l'OCS était le système graphique le plus avancé qu'il soit possible de trouver sur une machine personnelle.

| | | | | |
|---------------------------------|---------------|---|------|----------|
| Palette | 4 096 | | | |
| Couleurs maximales | 4 096 | | | |
| Basse Résolution | 32 | | | |
| Basse Résolution EHB6 | 64 | | | |
| Basse Résolution HAM6 | 4 096 | | | |
| Haute Résolution | 16 | | | |
| | | | | |
| Taille maximale | 16368 x 16368 | | | |
| Standards d'affichage | NTSC, PAL | | | |
| Fréquence Horizontale | 15kHz | | | |
| Fréquences Verticales | 50Hz - 60Hz | | | |
| | | | | |
| NTSC:Basse Résolution | 320 x 200 | 6 | 60Hz | 15.72KHz |
| NTSC:Basse Résolution entrelacé | 320 x 400 | 6 | 60Hz | 15.72KHz |
| NTSC:Haute Résolution | 640 x 200 | 4 | 60Hz | 15.72kHz |
| NTSC:Haute Résolution entrelacé | 640 x 400 | 4 | 60Hz | 15.72kHz |
| NTSC:Haute Résolution | 724 x 241 | 4 | 60Hz | 15.72kHz |
| NTSC:Haute Résolution entrelacé | 724 x 482 | 4 | 60Hz | 15.72kHz |
| PAL:Haute Résolution | 640 x 256 | 4 | 50Hz | 15.60kHz |
| PAL:Haute Résolution entrelacé | 640 x 512 | 4 | 50Hz | 15.60kHz |

1.27 Enhanced Chip Set

| | |
|------------------------|-------|
| Palette | 4 096 |
| Couleurs maximales | 4 096 |
| Basse Résolution | 32 |
| Basse Résolution EHB6 | 64 |
| Basse Résolution HAM6 | 4 096 |
| Haute Résolution | 16 |
| Super Haute Résolution | 4 |

| | |
|--------------------------------|-----------------------------|
| Taille Maximale | 16368 x 16368 |
| Standards d'affichage | NTSC, PAL |
| Fréquences Horizontales | 15kHz - 31kHz |
| Fréquences Verticales | 50Hz - 83Hz |
| A2024_10Hz | 1024 x 1024 2 60Hz 15.72kHz |
| A2024_15Hz | 1024 x 1024 2 60Hz 15.72kHz |
| EURO: Basse Rés. entrel. | 320 x 400 32 73Hz 15.76KHz |
| EURO: Basse Résolution | 320 x 200 32 73Hz 15.76KHz |
| EURO: Haute Rés. entrel. | 640 x 400 16 73Hz 15.76KHz |
| EURO: Haute Résolution | 640 x 200 16 73Hz 15.76KHz |
| EURO: Super Rés. entrelac. | 1280 x 400 4 73Hz 15.76KHz |
| EURO: Super Résolution | 1280 x 200 4 73Hz 15.76KHz |
| EURO: Produc. entrelacée | 640 x 800 4 70Hz 31.43KHz |
| EURO: Productivité | 640 x 400 4 70Hz 31.43KHz |
| MULTISCAN: Productivité | 640 x 480 4 60Hz 31.44KHz |
| MULTISCAN: Productivité entre | 640 x 960 4 60Hz 31.44KHz |
| NTSC: Basse Rés. entrelacée | 332 x 482 32 60Hz 15.72KHz |
| NTSC: Basse Résolution | 332 x 241 32 60Hz 15.72KHz |
| NTSC: Haute Rés. entrelacée | 664 x 482 16 60Hz 15.72KHz |
| NTSC: Haute Résolution | 664 x 241 16 60Hz 15.72KHz |
| NTSC: Super Hte. rés. | 1320 x 241 4 60Hz 15.72KHz |
| NTSC: Super Rés. entrelacée | 1320 x 482 4 60Hz 15.72KHz |
| PAL: Basse Rés. entrelacée | 362 x 566 32 50Hz 15.60KHz |
| PAL: Basse Résolution | 362 x 283 32 50Hz 15.60KHz |
| PAL: Haute Rés. entrelacée | 724 x 566 16 50Hz 15.60KHz |
| PAL: Haute Résolution | 724 x 283 16 50Hz 15.60KHz |
| PAL: Super Hte. rés. | 1440 x 283 4 50Hz 15.60KHz |
| PAL: Super Rés. entrelacée | 1440 x 566 4 50Hz 15.60KHz |
| SUPER72: Haute Résolution | 400 x 300 16 83Hz 27.22KHz |
| SUPER72: Hte. Rés. entrelacée | 400 x 600 16 83Hz 27.22KHz |
| SUPER72: Super Rés. entrelacée | 800 x 600 4 83Hz 27.22KHz |
| SUPER72: Super Résolution | 800 x 300 4 83Hz 27.22KHz |

1.28 Chipset AA ou AGA ?

Tout d'abord dénommé Pandora, ce chipset fut renommé AGA ou AA pour suggérer un lien avec le chipset alors en cours de développement : le AAA.

Il semblerait qu'une différence existe entre le chipset AGA (Advanced Graphics Architecture) et le chipset AA.

Par AGA, on entend l'ensemble des capacités du chipset actuellement présent dans les A1200, A4000 et CD-32. Et par AA on dénommerait l'ensemble des fonctions de ce système qui seraient compatibles avec le chipset AAA.

En fait, certains registres présents dans le chipset AGA disparaîtront ou seront remplacés dans le AAA.

Avant d'être officiellement présenté avec l'A4000, le chipset AGA fut tout d'abords testé à l'état de prototype dans une machine spécialement conçue dans ce but par Dave Haynie.

En 1991, le premier A3000+ était capable de faire tourner le WorkBench sans soucis majeur. En plus du chipset AA, le A3000+ disposait d'un DSP AT&T DSP3210 à 50 MHz intégré comme coprocesseur. Mais de nombreuses difficultés d'intégration au reste du système décidèrent les dirigeants de CBM à abandonner le projet. Cependant, tout ce travail ne fut pas vain et permis à une société extérieure de concevoir une carte DSP sur connecteur Zorro III.

La vitesse du bus pour l'affichage est 4 fois plus rapide que l'ECS. L'interface avec la RAM Chip est dorénavant 32 bits (comme l'A3000), les accès de l'unité centrale vers cette RAM se font donc 2 fois plus vite qu'avec l'ECS.

Ce chipset autorise l'affichage de 256 couleurs sur une palette de 16 777 216 (en fait 25 bits : 8 rouge, 8 vert, 8 bleu, 1 Genlock).

Il est aussi possible de profiter d'un nouveau mode HAM8 permettant l'affichage en toute résolution de 262 144 couleurs. Ce chipset supporte des écrans productivity VGA (640 x 480 en 256 couleurs) à un taux de rafraichissement allant jusqu'à 72Hz. Un écran en 256 couleurs de 800 x 600, est aussi supporté en 72Hz interlacé. La taille des sprites a été accrue de 16 bits à 32 et 64 bits de large. En plus, les sprites peuvent être affichés sur les bords de l'écran et avoir des résolutions différentes des écrans hôtes.

L'AGA ajoute à l'ECS les modes suivants, tous affichables en 256 couleurs :

| | | | |
|--------------------------------|------------|------|----------|
| DBLNTSC:Basse Rés. entrelacée | 320 x 800 | 59Hz | 29.02KHz |
| DBLNTSC:Basse Rés. sans scint. | 320 x 400 | 59Hz | 29.02KHz |
| DBLNTSC:Haute Rés. entrelacée | 640 x 800 | 59Hz | 29.02KHz |
| DBLNTSC:Haute Rés. sans scint. | 640 x 400 | 59Hz | 29.02KHz |
| DBLPAL:Basse Rés. entrelacée | 320 x 1024 | 50Hz | 29.45KHz |
| DBLPAL:Basse Rés. sans scint. | 320 x 512 | 50Hz | 29.45KHz |
| DBLPAL:Haute Rés. entrelacée | 640 x 1024 | 50Hz | 29.45KHz |
| DBLPAL:Haute Rés. sans scint. | 640 x 512 | 50Hz | 29.45KHz |

1.29 AAA

Le chipset AAA n'a jamais été officiellement présenté. Cependant, si de nouveaux modèles d'Amiga arrivent sur le marché, la présence de ce chipset fait partie des possibilités à envisager.

Le chipset AAA a tourné en 1992 dans une machine prototype du nom de NYX dans les laboratoires de CBM. Conçue par l'irremplaçable Dave Haynie, cette machine était largement basée sur l'architecture de l'Amiga 3000.

Synapse cite donc pour information les composants de ce chipset.

Récapitulatif des capacités du ChipSet AAA :

Ce chipset consiste en 4 composants CMOS, représentant environ 1 million de transistors. Il s'agit d'un système entièrement nouveau, et non une mise à jour de l'AGA, il n'a donc aucune des limitations de l'AGA. Ces 4 composants se nomment Andrea, Monica, Linda et Mary.

Ces composants sont tous intégralement 32 bits, à l'exception de Linda et Monica qui possèdent aussi des modes 64 bits. Ils ne sont pas limités par l'horloge à 14 MHz de l'AGA ou des accès DMA fixés électroniquement.

DMA :

Il y a 40 canaux DMA, possédant des allocations dynamiques de bande passante. Ce qui signifie que chaque canal peut être aussi rapide qu'il doit l'être (jusqu'aux limites de la bande passante totale du système).

Le DMA est utilisé pour tout, du Blitter et Copper jusqu'aux sprites, les voies audio, l'affichage, les entrées/sortie disquettes ou les ports série.

Ces canaux DMA sont le coeur du AAA et font partie de ce qui met l'Amiga en marge des autres ordinateurs. Ils font partie de ce qui offre à l'Amiga ces performances. Le système d'exploitation est parfaitement capable de tirer avantage des accès DMA et du travail des coprocesseurs, de part ça nature multitâche.

Quand une tâche attend la fin d'un accès DMA ou du travail d'un coprocesseur, une autre tâche peut être activée et utiliser le processeur. C'est quelque chose que les autres ordinateurs nous envient (par exemple, le Mac, qui ne possède pas le système multitâche préemptif requis pour cela. Les Mac haut de gamme possèdent des canaux DMA qui ne peuvent être utilisés par le système d'exploitation. Seul Unix sur Mac peut les utiliser).

Le Blitter et le Copper :

Dans l'AGA, le Blitter et le Copper entrent en obsolescence. Ils sont lents en comparaison des standards actuels, très lents, cependant, il n'existe encore rien qui offre les fonctions du Copper.

Avec l'AAA, ces deux acteurs capitaux sont grandement améliorés.

A la base, le Blitter n'est qu'un ensemble de canaux DMA qui fournit des données graphiques au processeur et les écrit ensuite en RAM. Le Blitter peut aisément réaliser les opérations nécessaires au déplacement d'images 2D. En plus de choses comme la combinaison de plusieurs images. Ces calculs sont un peu plus rapides que si ils étaient exécutés par un processeur non spécifique.

Le Blitter du AAA peut travailler sur des images 24 bits sensiblement plus rapidement que l'AGA le fait en 8 bits. Une fenêtre contenant une image 24 bits peut ainsi être déplacée instantanément.

Le Copper de l'Amiga est aussi un canal DMA. Il envoie un flot d'instructions vers le processeur. Il est capable de faire quasiment tout ce que l'UC peut faire : charger des registres du chipset, exécuter des sauts, des boucles ou attendre. Il peut être utilisé pour contrôler n'importe quoi dans le chipset, indépendamment de l'UC. il permet à l'Amiga d'avoir des écrans mobiles, des

écrans en scrollings bitmaps géants...

Avec la bande passante élevée et la flexibilité des canaux DMA du AAA, le Blitter et le Copper voient leur puissance encore accrue.

Le Son :

L'un des attraits de l'Amiga est ses capacités sonores intégrées. La plupart des ordinateurs de possèdent pas de vrai générateur de son en standard.

Les anciennes 4 voies sur 8 bits de l'Amiga ont été largement suffisantes jusqu'à présent et restent infiniment supérieures à la moyenne des PC.

Mais le AAA les élèvent à un niveau supérieur : il y a maintenant 8 voies indépendantes sur 16 bits et 64 KHz (contre 30 KHz sur l'AGA). Cela met chaque canal au delà d'un lecteur de CD en terme de précision, et bien au delà de la perception humaine. C'est aussi bien supérieur à la majorité des cartes sonores trouvées sur d'autres machines.

La génération du son étant gérée par les canaux DMA, l'UC est libérée de 99 % du travail.

Video :

Utilisant des DRAM et VRAM 32/64 bits et des accès burst à haute vitesse, le AAA accroît la bande passante d'un facteur x20 par rapport à l'AGA.

Tout d'abord, le AAA fonctionne plus vite de part sa conception CMOS. Tout est au moins 32 bits, augmentant ainsi la bande passante. La mémoire peut désormais fonctionner en mode burst, ce qui permet de lire 4 adresses successives en mémoires très rapidement.

La VRAM (Video RAM) a été mise au point pour tolérer les taux de transfert élevés requis pour l'affichage haute résolution. Elle possède deux ports, un exclusivement pour la video et un pour accéder et modifier les bitmaps. Cela double effectivement la vitesse.

Avec la VRAM il n'y a plus de "video contention". Ce phénomène est flagrant quand on ouvre un écran haute résolution avec de nombreuses couleurs (640 x 400 x 16c pour l'ECS ou 640 x 400 x 256c pour l'AGA). C'est parce que ces modes demandent tellement de bande passante, qu'il n'en reste quasiment plus pour l'UC et le Blitter.

Avec le AAA et la VRAM, ce problème disparaît. Le DMA vidéo utilise seulement un des ports de la VRAM. On peut ainsi ouvrir le plus grand écran en couleur sans que le Blitter, le Copper, etc ne soient ralentis. Ils auront tout de même d'avantage de travail.

La DRAM peut aussi être utilisée mais elle est plus lente. La VRAM coûte environ 2 fois plus chère. Il est cependant possible de combiner les deux. La VRAM n'est valable que pour l'affichage, la DRAM est bonne pour tout le reste. Il suffit de posséder assez de VRAM pour gérer son affichage. Il est possible d'avoir jusqu'à 16 Mo de DRAM + VRAM.

La résolution maximale non interlacée devrait être d'environ 1280 x 1024 en 8

ou 16 bits. Les 1024 x 768 sur 24 bits devraient aussi être possibles.

Il y aura aussi le choix entre des modes chunkys ou bitplans. Les chunkys seront 2, 4, 8 ou 16 bits. Les modes bitplans autoriseront jusqu'à 16 plans. Ces types peuvent être combinés. Un mode 24 bits aura 3 bitplans, contenant chacun une description chunky 8 bits.

Mais il y a aussi de nouveaux modes compressés, en plus du HAM et du HAM8. Le mode HAM10 offrira des graphismes 24 bits avec seulement 10 bits par pixel.

Entrées/Sorties :

Le AAA possèdent des ports série, un support pour des lecteurs de disquettes et des ports pour des périphériques d'entrée.

Les deux ports joystick/souris peuvent accepter un grand nombre de périphériques comme les joysticks standards, les souris mécaniques ou optiques, des joysticks analogiques, des crayons optiques ou des tablettes graphiques.

Le AAA possède aussi deux ports série bufferisés haute vitesse. L'ancien port série de l'AGA peut gérer jusqu'à 115 200 bauds, mais réclame un travail important de l'UC pour éviter la perte de données. Le AAA utilise un buffer FIFO (First In First Out) et le DMA pour éviter les erreurs à hautes vitesses.

Le port lecteur de disquettes enfin. Si l'AGA supportait un lecteur double vitesse pour reconnaître les disquettes HD, le AAA est tellement rapide qu'aucun lecteur ne peut en venir à bout. Il supporte même sans problème les lecteurs quadruple vitesse. Avec le système d'exploitation de l'Amiga, cela signifie 3.52 Mo par disque.

La gestion du lecteur de disquettes peut supporter les taux de transfert d'un CD-ROM simple vitesse ou d'un disque dur lent. Si jamais un lecteur de disquettes à octuple vitesse voyait le jour, le AAA pourrait le gérer.

DSP :

Même si il ne fait pas partie intégrante du chipset AAA, un DSP peut parfaitement s'y intégrer.

Il pourrait être d'un grand secours pour émuler un modem à haute vitesse, la synthèse vocale, la compression/décompression d'images, l'acquisition et le traitement de données, la reconnaissance vocale, etc...

Si un DSP devait être proposé, il s'agirait de l'AT&T 3210.

Le AAA est totalement indépendant du processeur central. Avec un bus local 64 bits, un processeur RISC serait parfaitement interfacé.

Ce chipset a été conçu pour être 100 % compatible avec l'ECS, et non avec l'AGA.

Même si les caractéristiques de ce chipset semblent impressionnantes par rapport à celle des machines actuelles, les concepteurs eux-mêmes affirment que cet ensemble de composants est obsolète d'un point de vue qualité/prix. En effet, le AAA serait tout juste au niveau des cartes graphiques qui sortent actuellement sur d'autres plate-formes, sans parler des consoles de jeux sur-puissantes qui arrivent sur le marché. Dave Haynie lui même est davantage intéressé par une architecture basée sur un bus PCI sur lequel une carte graphique (qui pourrait d'ailleurs comporter le AAA) serait présente. Cela faciliterait ainsi les mises à jours très rapides en ce domaine. De plus, le AAA couterait cher à finaliser pour une technologie qui n'est plus vraiment d'actualité. N'oublions pas que le début du développement de ce chipset remonte à 1989...

1.30 Hombre

Ce projet de chipset a été conçu comme une possible alternative au AAA. Il n'a jamais été réalisé mais semblait (avant la disparition de CBM) largement avancé. On en sait très peu de choses.

Ce chipset est 100 % compatible avec celui des Amiga actuels. Il intègre un noyau PA-RISC amélioré, un contrôleur VRAM, un Blitter d'un nouveau type... Couplé avec le composant de gestion de l'affichage, il peut agir en tant que noyau d'une console de jeux 3D à hautes-performances ou comme une carte graphique RTG très rapide. Les E/S se font dans les 2 directions à des taux supérieurs aux spécifications PCI.

Hombre est supérieur au AAA dans les domaines graphiques. Plus rapide, supporte les opérations 3D, des actions Blitter supérieures, etc... Il est conçu avant tout pour des graphismes en 16 et 24 bits et supporte 4 playfields 16 bits simultanément. La résolution maximale est de 1280x1024.

Mais il ne s'agit que d'un système graphique. Il ne gère pas les périphériques et le son

L'idée, en fait, était de proposer un système graphique sur carte, facilement interchangeable.

1.31 AGNUS / ALICE / ANDREA

Agnus (Adress GeNerator Unit) est probablement le plus connu des custom chips. ←

Il existe sous différentes formes, allant du composant original, à la version "Super" trouvée dans le A3000. En dehors de changements internes mineurs, la principale différence entre ces versions est la quantité de mémoire à laquelle ils ont accès.

Agnus est responsable du contrôle des 25 canaux DMA, de la génération de toutes les fréquences d'horloge dans le A500 et A2000, et permet le contrôle et l'adressage de la RAM CHIP qui est la mémoire accessible par ces custom chips. La taille de cette région de la mémoire est déterminée par l'Agnus utilisé, et fait soit 512 ko, 1 Mo ou 2 Mo. Les custom chips étant principalement utilisés comme coprocesseurs pour des tâches graphiques et sonores, toutes les données

de ce type doivent se trouver dans la zone Chip de la RAM. Finalement, Agnus contient aussi le

Copper
et le
Blitter

.

Une mise à jour d'un Agnus adressant 512 ko ou 1 Mo vers un Agnus adressant 2 Mo est électriquement réalisable mais relativement complexe et coûteuse. Il existe quelques cartes sur le marché permettant aux A500 et A2000 de passer à 2 Mo de RAM CHIP. L'échange standard, les Agnus étant compatibles broches à broches, n'est évidemment pas suffisant pour résoudre le problème.

SuperFatAgnus = ObeseAgnus

FatLady = FatterAgnus

Appelé Daphné dans les publicités pour les 1er A500 et parfois appelé Agnes dans les publicités anglo-saxonnes.

| Type | Ref | Vidéo | RAMCHIP | Amiga |
|--------------|-------------|----------|---------|---|
| 8361 ou 8367 | | NTSC | 512 Ko | A1000 (Agnus) |
| 8370 | | NTSC | 512 Ko | Premiers A500 (FatAgnus) |
| 8371 | | PAL | 512 Ko | A500 rev 3 à 5 et A2000A (FatAgnus) |
| 8372 | | NTSC/PAL | 512 Ko | A500 et A2000B (FatAgnus) |
| 8372A | (318069-02) | NTSC/PAL | 1024 Ko | A500 rev >=6a (depuis 05/89) et 6a/7, A2000B et CDTV (Fatter Agnus) |
| 8372B | (318069-03) | NTSC/PAL | 2048 Ko | A3000 (SuperAgnus) |
| 8375 | (390544-01) | NTSC/PAL | 2048 Ko | A500+ et A600 |
| 8375B | (318069-03) | NTSC/PAL | 2048 Ko | ? |
| 8375 RO | (318069-16) | NTSC/PAL | 2048 Ko | ? |

Alice, le successeur d'Agnus, fait partie du chipset graphique AGA trouvé sur les derniers modèles d'Amiga. Contenant le même bus de données 16 bits d'interfaçage avec la RAM CHIP, Alice est néanmoins capable d'accéder directement en 32 bits à la RAM, aussi bien que de profiter de doubles cycles CAS en mode page, permettant des échanges plus importants avec la mémoire et des performances accrues.

| | | |
|---------|-------------|-------------|
| 8374 | (391010-01) | A1200, CD32 |
| 8374 R2 | (391010-01) | A4000 |

Andrea remplace Alice dans le chipset AAA. Elle travaille en 32 bits, le blitter et le copper sont améliorés, elle dispose d'un mode burst sur la mémoire vidéo et gère des fréquences d'affichage jusqu'à 110 MHz.

1.32 Le Copper

Le Copper est un co-processeur intégré à Agnus. Il reçoit ces informations de la RAM en utilisant des accès DMA. De par sa capacité à contrôler la quasi totalité du système graphique, il soulage considérablement le 680X0, qui peut ainsi se consacrer à d'autres tâches. Ce co-processeur peut aussi intervenir directement sur les registres de contrôles des autres composants. Il a aussi la possibilité de remettre à jour : des registres, des données concernant le placement des sprites, la palette de couleurs, les canaux sonores et la gestion du Blitter.

Le Copper a la capacité d'attendre une position définie du faisceau d'électron, et de transférer les données dans un registre du système. Pendant cette attente, le Copper surveille en direct le compteur de position du faisceau, le bus mémoire est ainsi libéré et peut servir aux autres canaux DMA ou au 680X0.

Le transfert des données résultant de cette attente se fait en prenant des cycles de mémoire au Blitter ou au 680X0.

Le Copper ne demande l'accès au bus que lors des cycles de mémoire pairs. Il est ainsi en parfaite synchronisation avec la plupart des accès DMA, l'audio, les lecteurs de disquettes, le rafraîchissement de l'écran, les sprites, etc, qui eux travaillent sur des cycles impairs. En fait, il a juste besoin d'une gestion de priorités avec le Blitter et le 680X0.

Il est aussi utilisé pour le transfert des données sonores vers le convertisseur numérique-analogique de sortie.

Le Copper ne travaille bien sûr qu'en RAM Chip.

Il dispose d'un jeu de 3 instructions :

WAIT : attend une position précise du faisceau indiquée par ses coordonnées x et y.

MOVE : transfère la valeur recherchée dans les registres spécifiques.

SKIP : saute l'instruction suivante si le faisceau est déjà à une position donnée de l'écran.

En fait, le Copper est l'un des éléments majeurs de la génération de graphismes de l'Amiga.

1.33 Blitter

Au même titre que le Copper, le Blitter est un co-processeur intégré à Agnus. Sa fonction est de déplacer des zones de mémoire rectangulaires aussi efficacement que possible et de tracer des lignes. La copie de blocs mémoire est effectuée par le Blitter deux fois plus rapidement que par un 68000. en ce

qui concerne le tracé de ligne, il travaille à une vitesse de 1 millions de pixels à la seconde.

Le Blitter ECS (à partir du 8372) permet de déplacer des régions rectangulaires de 32768 x 32768 pixels au lieu de 1024 x 1024 auparavant.

Le Blitter n'a bien sûr accès qu'à la RAM Chip. Il possède 4 canaux DMA : trois canaux sources et un canal cible.

Les opérations effectuées par le Blitter sont appelées Blits.

Le Blitter travaille de façon asynchrone, ainsi le 680X0 continue à fonctionner normalement pendant les blits.

Le Blitter a aussi la capacité d'exécuter des manipulations logiques spécifiques sur les données en cours de traitement.

1.34 AKIKO

Uniquement présente dans la CD-32, cette chip a pour principale fonction la gestion et la conversion des Chunky pixels simplement par l'utilisation d'un jeu complexe de registres. Ainsi cette opération peut-être réalisée aussi vite que l'unité centrale peut lire et écrire les données.

Elle contient aussi une partie de l'électronique d'un 8520 et joue en quelque sorte le rôle de Gary ou Gayle dans la CD-32.

Rev A (391563-01) CD32

1.35 AMBER

Présente sur l'A3000, elle gère le désentrelaceur en synchronisant et contrôlant les signaux nécessaires aux mémoires vidéo et à l'affichage.

Elle se trouve aussi sur la carte Flicker Fixer A2320 de Commodore.

(390538-03) A3000

1.36 BRIDGETTE

Ce composant n'est trouvé que dans les Amiga 4000. Il s'agit d'un buffer pour le bus Zorro III.

(391380-01) A4000

1.37 BUDGIE

Ce composant n'est présent que dans les Amiga 1200.

Les fonctions de Budgie semblent mystérieuses. La seule connue consiste à passer la fréquence de l'oscillateur de 28 à 14 MHz pour que le système l'exploite.

Budgie était à l'origine de blocages lors de transferts intensifs de données en RAM lorsqu'une carte d'extension était présente. Ceci sur les premières révisions de cartes mère : Rev 1D.4 et Rev 2B.

REV 0 (391425-01) A1200

1.38 BUSTER

Buster, qui apparaît avec l'A2000B, est chargé de la gestion des ports Zorro et PC. Les versions Fat et Super trouvées respectivement dans les A3000 et A4000 sont dédiées aux ports Zorro III et se chargent d'interfacer le bus Zorro III avec le 68030 ou 68040.

5721 (318075-02) A2000B

Buster de Niveau I :

Ce niveau ne supporte pas le DMA des Zorro III ou les Quick Interrupts, et ils n'essaient pas de traduire les cycles d'accès en rafale du bus local en cycles d'accès en rafale Zorro III.

Révision -06 A3000 Un bug dans cette version cause des erreurs à 16MHz mais fonctionne à 25 MHz.

Révision G ou -07 A3000 et premiers A4000
(390539-07)

Buster de Niveau II :

Ce niveau supporte l'arbitrage du bus Zorro III, le DMA, les Quick Interrupts et la traduction des cycles d'accès en rafale du bus local en cycles à "transfert multiples" Zorro III.

Révision -08 Non réalisée

Révision -09 A4000 Cette version présente quelques faiblesses. La principale est que l'arbitre du bus Zorro III peut bloquer le système sous certaines conditions. Ainsi certaines cartes DMA

contournent ce bug connu (la Z3 FastLane), d'autres ne supportent pas cette révision de Buster (A4091).

Il y a aussi un problème potentiel avec la synchronisation de fin de cycle. Cela s'affirme avec le problème d'échantillonnage STERM* des cartes A3640 Rev 3.0.

Un dernier problème apparaît avec l'A4000. Le buffer du bus intégré (Bridgette) ne peut pas garantir le temps de propagation requis par Buster Rev 9.

Révision K ou -11
(390539-11)

A4000

Avec cette version, de nombreux problèmes sont résolus. L'arbitre du bus Zorro III est corrigé. Tous les problèmes de synchronisation sont corrigés. Cette version peut aussi résoudre les problèmes non-DMA Zorro III rencontrés avec les cartes A3640 Rev 3.0. Les contrôles du buffer du bus ont été ajustés pour cadrer parfaitement avec l'architecture du 4000. Les cartes Zorro III conçues de façon incorrecte auront des problèmes avec cette révision, surtout lors des cycles d'écriture en rafale. Les problèmes de DMA Zorro II dans les A3000 sont corrigés.

Certains composants de révision K ou -11 ne fonctionnent pas dans les A3000 à 16 MHz. Cela semble être due à des tests peu rigoureux effectués avant la chute de CBM.

De nombreuses cartes Zorro III nécessitent la mise à jour vers la révision K pour fonctionner correctement.

1.39 DENISE / LISA / MONICA

Denise (Display Encoder chip) est avant tout responsable de la génération des couleurs et de l'affichage des différentes résolutions. Cette chip contient aussi les 8 contrôleurs de sprites hardwares utilisés par le système, dont le pointeur de la souris. La version Super de Denise présente dans le chipset ECS (appelée Fat dans l'A3000) offre de nouvelles résolutions comme le SuperHires (1280x515 en 2 bitplanes) ou le Productivity (640x480 en 2 bitplanes). Elle autorise aussi le contrôle de l'incrustation vidéo sur n'importe quelle couleur.

Appelée Agnès dans les publicités des 1er A500.

| | |
|-----------------------|-------------------------------|
| 8362 R5, R6, R8 | A1000, A500, A2000A et A2000B |
| 8372A | ? |
| 8373 R4PD (390433-02) | A3000, A2000B ECS |
| 8373 R3 | A500+ |
| 8373 R4 (391081-01) | A600 |

La mise à jour de la Denise OCS vers l'ECS se fait par simple échange du composant.

Lisa, membre du chipset AGA, est la remplaçante de la vieillissante Denise. Ce nouveau composant est réalisé entièrement en technologie CMOS, et incorpore la capacité de gérer une vidéo RGB allant jusqu'à 24 bits. Elle peut aussi effectuer des doubles cycles d'accès mémoire en 32 bits ce qui accroît son taux d'échanges de données à 64 bits par cycle, soit 4 fois ce dont était capable Denise.

| | |
|--------------------------------|-------|
| 1024 RO (391227-01) | A1200 |
| 8203 R2 ou 1207 RO (391227-01) | A4000 |
| 1207 RO (391227-01) | CD32 |

Dans le chipset AAA, c'est Monica qui s'occupe de tout cela en y rajoutant de nombreux autres modes.

1.40 GARY

Gary est chargé de contrôler les accès au bus et sélectionne le circuit spécialisé adapté. Il s'occupe aussi d'une partie du lecteur de disquette, et de la routine de RESET. Il apparaît avec le A2000B. Une version Fat est présente dans l'A3000 et l'A4000. Le Fat Gary de l'Amiga 4000, couplé à une PAL externe gère le port IDE.

| | |
|---------------------|--------------|
| 5719 | A500, A2000B |
| 5719 R2 (318072-01) | ? |
| (390540-02) | A3000, A4000 |

1.41 GAYLE

Sur les A600 et A1200, il remplace Gary avec des fonctions supplémentaires. Synchronise et gère la ROM, la CHIP RAM, les 8520, le bus IDE et le connecteur de la carte mémoire.

| | |
|------------------|-------|
| R5 (391424-02) | A1200 |
| 5191 (391155-01) | A600 |

1.42 LINDA

Composant tampon géré par Andrea et Monica dans le chipset AAA.

1.43 PAULA / MARY

Paula (Ports Audio Uart and Logic) est chargée de diverses tâches. Elle contrôle la génération du son 8 bits, contient les circuits de contrôle du système de disquette, et abrite les circuits de contrôle des Entrées/Sorties pour les disques, la souris, le clavier et les ports externes. Paula contient aussi un système de contrôle d'interruption pour diverses opérations du système.

Appelé Portia dans les publicités des 1er A500.

| | |
|-----------------------|----------------------------|
| 8364 R7 (252127-02) | A1000, A500, A2000A, A3000 |
| 8364 R7PD (391077-01) | A600, A500+, A2000B |
| 8364 R7PL (391077-01) | CD32, A1200, A4000 |

Mary remplace Paula dans le chipset AAA. Elle offre 8 canaux audio 16 bits, peut gérer des disquettes jusqu'à 4 Mo, des CD-ROM et des disques ST-506.

1.44 RAMSEY

Présent dans les A3000 et les A4000, Ramsey est chargé de la ↔ gestion de la FAST RAM. C'est lui qui autorise le support du mode "Static Column". Il génère aussi les adresses pendant les transferts DMA.

| | |
|-----------------------------|-------|
| Révision D ou 4 (390541-04) | A3000 |
| Révision G ou 7 (390541-07) | A4000 |

Les composants Ramsey et Super-DMAC sont liés.

L'utilisation de Ramsey révision D ou 4 entraîne l'utilisation de Super-DMAC révision 1 ou 2.

L'utilisation de Ramsey révision 7 ou G entraîne l'utilisation de Super-DMAC révision 4.

1.45 Video DAC

Ce composant est présent dans les Amiga 4000. Il s'occupe de la transformation des signaux numériques générés par l'Amiga en signaux analogiques pour le moniteur. DAC signifiant Digital to Analog Conversion.

| | |
|------------|-------|
| (341926.1) | A4000 |
|------------|-------|

1.46 SUPER DMAC

Exclusivement trouvé sur l'A3000, ce composant s'occupe de la gestion de l'accès DMA du contrôleur SCSI.

| | |
|-----------------------------|----------------|
| Révision 1 | Premiers A3000 |
| Révision 2 ou A (390537-02) | A3000 suivants |
| Révision 4 ou D | Mise à jour |

Les composants

Ramsey
et Super-DMAC sont liés.

L'utilisation de Ramsey révision D ou 4 entraîne l'utilisation de Super-DMAC révision 1 ou 2.

L'utilisation de Ramsey révision 7 ou G entraîne l'utilisation de Super-DMAC révision 4.

1.47 Contrôleur SCSI WD

Le WD33C93A-PL est présent dans l'A3000. Il s'agit du contrôleur SCSI.

| | |
|------------------------|--------------------|
| Révision 00-04 (PROTO) | A3000 |
| Révision 00-08 | Mise à jour A3000. |

La révision 00-04 peut parfois poser des problèmes avec les lecteurs de CD-ROM.

1.48 CIA A & B

Ces deux composants gèrent les entrées/sorties des ports parallèle et série, l'horloge permanente, les moteurs de disques, la led, le filtre audio, les joysticks et quelques interruptions systèmes.

| | |
|------------------|-------------|
| 5293 (318029-03) | A500, A2000 |
| 5291 (391078-01) | A600 |
| (391078-01) | A1200 |
| (391078-02) | A4000 |

1.49 Random Access Memory

Les Différents Boîtiers

Les Types de RAM

@{ Temps D'Accès " link Accès}

1.50 Les Différents Boîtiers

DIL (Dual In Line)

Ces boîtiers sont les plus classiques. Ils sont présents par exemple sur la carte mère des Amiga 2000. Mais leur rapport capacité/encombrement peu avantageux les destine à une disparition prochaine.

ZIP (Zig zag In line Package)

Ces composants sont peu à peu remplacés car leur capacité, considérée comme très importante à l'époque, n'est plus à la hauteur. De plus, il est souvent nécessaire de les souder directement à la carte support. Ces boîtiers sont présents sur les cartes accélératrices A2620, A2630 et la carte mère de l'Amiga 3000. Un boîtier contient jusqu'à 2 Mo. Les vitesses de ces RAM vont de 60 ns (très rare) à 120 ns.

SIMM (Single In line Memory Module) et SIPP (Single In line Pin Package)

Le SIMM est le système le plus répandu actuellement qui permet d'installer ou d'enlever de la RAM à volonté puisque les boîtiers sont soudés en CMS sur une petite carte enfichable dans un support. Cette technique est par exemple utilisée dans l'A4000. Une barette peut contenir jusqu'à 128 Mo et bientôt 256 Mo.

DIMM (Dual In line Memory Module)

Ce nouveau standard est en court d'apparition. Il est particulièrement adapté au bus 64 bits qui apparaissent sur les machines les plus puissantes (comme les PowerMac). Ces barettes possèdent 168 broches et offriront des capacités allant de 4 à 128 Mo.

1.51 Les Différents Types de RAM

La RAM Statique ou SRAM

Elle garde les données aussi longtemps qu'elle est alimentée.

Ces boîtiers font très rarement plus de 64 Ko car l'intégration à grande échelle de ces cellules mémoires n'est pas réalisable techniquement. Ce type de mémoire est très rapide avec un temps d'accès inférieur à 5 ns pour les meilleures. Elles sont principalement utilisées pour les mémoires caches.

La RAM Dynamique ou DRAM

Cette mémoire perd son contenu au bout d'un laps de temps très court même si elle est alimentée. A moins que l'on opère un cycle de rafraichissements toutes les x millisecondes pour lui indiquer de conserver les données.

C'est ce genre de RAM qui se trouve dans l'Amiga.

Cette mémoire peut être accédée sous différents modes :

Le mode Standard

Le mode Page

Le mode Fast Page (Supportés par)

Le mode Static Column (les Amiga 3000 et 4000)

Le mode Nibble (accès circulaire à un quartet)

Les DRAM les plus rapides qui sont fabriquées en série actuellement ont une vitesse de 60 ns. On peut cependant trouver de petites quantités de mémoires testées à 50 ou plus rarement à 40 ns.

Il existe des conceptions de DRAM moins courantes comme par exemple la DRAM non multiplexée utilisée avec les accélérateurs GVP (40 ns), présentée en boîtiers SIMM 64 broches. Le problème est que ces composants, difficiles à obtenir, sont très coûteux et totalement spécifiques aux cartes GVP. Ce choix de la part du constructeur est lourd de conséquences pour l'utilisateur qui est condamné à acheter ces TurboSimm pour augmenter la capacité mémoire de sa carte.

1.52 Les Temps d'Accès

Dans la majorité des cas, le temps d'accès d'un composant RAM est indiqué sur le boîtier. Par exemple -8 signifie 80 ns (nanosecondes pour milliardièmes de seconde).

Le temps d'accès correspond au temps qui s'écoule entre le moment où l'on adresse une quelconque partie de la mémoire et le moment où celle-ci renvoie la donnée.

A ne pas confondre avec le temps de cycle. Celui-ci représente le temps qui va s'écouler avant que le composant puisse à nouveau être sollicité. Il se calcule ainsi : pour une DRAM avec un temps d'accès de 80 ns et un temps de cycle de 155 ns, le composant sera "au repos" pendant $(155 - 80 = 75)$ 75 ns.

Théoriquement, la vitesse des composants RAM doit être proportionnelle à celle du processeur central.

1.53 La ROM Kickstart

Le kickstart est un composant essentiel de l'Amiga puisqu' ↔
il fait partie

intégrante du système d'exploitation. Celui-ci fournit la base pour amorcer la machine, en vérifiant la présence des deux secteurs réservés sur une mémoire de masse (bootblock). Il contient aussi les couleurs par défaut, une police de caractères (Topaz 8 et 9), des commandes résidentes, etc...

Les Amiga 1000 n'étaient pas équipés de Kickstart en ROM, mais sur disquette. Quant aux Amiga 3000, le Kickstart était chargé depuis le disque dur, mais un support est cependant présent pour l'installation d'une ROM (en deux parties et supportant des accès 32 bits comme les A1200 et A4000).

| Référence système | KickStart Workbench associé | |
|---------------------------------|-----------------------------------|--|
| 30 (disk) | 1.0 | Premiers A1000 |
| 31 (disk) | 1.1 | A1000 suivants en NTSC |
| 32 (disk) | 1.1 | A1000 PAL |
| 33 (disk et ROM) | 1.2 | Mise à jour A1000. A500, A2000A |
| 34 (disk et ROM) (315093-02) | 1.3 | Mise à jour A1000. A500, A2000B, A3000 |
| 35 (disk et ROM) | 1.3 | Prévu pour utiliser le moniteur A2024 |
| | 1.4 | béta-version du 2.0 sur les premiers A3000 |
| 36 | 2.0, 2.01, 2.02, 2.03 | A3000 |
| 37.175 (390979-01) | 2.04 | CDTV, A500+ mise à jour |
| | A500, A2000 et A3000 | |
| 37.300 (391304-01) | 2.05 | A600 |
| 37.350 | 2.05 | A600 |
| 37 | 2.1 | Mise à jour KickStart |
| 38 | 2.1 | Mise à jour Workbench |
| 39 | (391514-02) | 3.0 A4000 |
| 39 (391524-01 & 391523-01) | 3.0 | A1200 |
| 40.60 (391640-03) | 3.1 | CD32 |
| 40.63 | 3.1 | Mise à jour A500, A2000, A3000, A4000 et A1200 |

La ROM Kickstart des Amiga correspond (en beaucoup plus complet) au Bios (Basic Input/Output System) des compatibles PC.

1.54 Mise à jour

La mise à jour vers la ROM 2.0 et + peut poser problème sur les machines anciennes.

Par exemple, après avoir installé la ROM 2.04 sur les vieux A2000 ou A500, il apparaît parfois des problèmes de démarrage. Il est alors nécessaire de relier les pattes 1 et 31 entre elles.

L'idéal est d'essayer puisque ces problèmes apparaissent ou non selon les versions de carte mère.

1.55 La Mémoire Cache

Afin de rendre plus rapide l'accès aux instructions, le 68020 dispose d'un cache interne d'instructions de 256 octets accessible par le processeur sans cycle d'attente. Le 68030 dispose quant à lui d'un cache interne données et instructions de 256 octets.

Cette mémoire stocke en permanence les instructions et/ou les données les plus sollicitées par l'unité centrale.

Le 68020-030 est programmé pour chercher systématiquement les instructions en mémoire cache et, si elles sont présentes, les traiter sans cycle d'attente ; dans le cas contraire (taux d'échecs), il ira alors les chercher en mémoire centrale, lui faisant perdre ainsi 2 à 3 cycles, mais effectuera ensuite la mise à jour de la mémoire cache en y stockant les instructions et/ou données non trouvées.

On pourrait considérer comme insuffisante la taille du cache instructions et données, étant donnée sa capacité très faible en regard de la mémoire centrale. Cependant, il faut avoir à l'esprit que seules les instructions souvent sollicitées peuvent résider en mémoire cache ; de ce fait, au-delà d'une certaine taille, les taux d'échecs sont alors constants quelle que soit la taille de la mémoire cache.

1.56 Autres Composants

Le 6570 et Keyboard MPU

Le DSP3210

Les GAL et les PAL

Les Oscillateurs

1.57 6570 et Keyboard MPU

Le 6570 est responsable de la gestion des claviers dans les Amiga dont la carte n'est pas CMS. Comme les A2000 et A500.

Il a à sa disposition une ROM de 2 Ko et un buffer de 64 octets.

Ce composant est remplacé par un circuit nommé Keyboard MPU dans les Amiga dont la carte mère est en CMS.

| | |
|-------------|-------|
| (391508-01) | A1200 |
| 6570-036 | A600 |

1.58 Le Digital Signal Processor

Le processeur de signal numérique est un composant spécifiquement développé pour certains calculs qu'il réalise 5 à 10 fois plus rapidement qu'un coprocesseur arithmétique pour une fréquence égale.

Celui-ci étant prévu pour la gestion des images et des sons, il se doit d'être couplé à un convertisseur analogique-numérique. En effet, les micros ou caméras ne délivrent que des signaux analogiques qui devront être traduits par échantillonnage pour être traités par le DSP. Pour la restitution, le DSP doit aussi être associé à un convertisseur numérique-analogique.

Le DSP est de plus en plus utilisé pour la gestion de données photographiques, sonores, ou le décodage des informations circulant par modem. Ce processeur se trouve au coeur des cartes sonores haut de gamme où il filtre ou effectue diverses opérations très complexes sur les sons. Il est aussi particulièrement adapté aux systèmes de reconnaissance vocale.

Certains Macintosh sont équipés en standard d'un DSP.

Commodore, lors de l'élaboration du chipset AAA avait posé une option sur l'interfaçage d'un DSP. le modèle choisi fut le AT&T DSP3210.

Le DSP3210 est un DSP CMOS intégralement 32 bits travaillant en virgule flottante. Parmi ces principales caractéristiques on trouve :

- Travail sur 32 bits en virgule flottante
- Adressage sur 32 bits
- RAM de 8Ko sans cycle d'attente intégrée
- Instructions sur un cycle (jusqu'à 33 Mflops)
- Partage du bus avec une UC Motorola ou Intel
- Entrées/Sorties séries avec transferts DMA jusqu'à 25 Mo/s
 - Les transferts de données sérieelles se font sans intervention de l'UC
 - Des cycles ne sont pris que si nécessaire
 - Contrôle DMA pour les entrées/sorties sérieelles
- Timer 32 bits programmable pour les synchronisations, les générations de rythmes ou de formes d'ondes, la comptabilité d'évènements...
- 2 millions d'interruptions par seconde
- Basse consommation d'énergie

Aucune programmation particulière n'est nécessaire pour implémenter des algorithmes en virgules flottantes ou pour travailler sur des signaux possédant une bande passante dynamique plus large. Le DSP3210 est aussi prévu pour partager la mémoire du processeur hôte, supprimant ainsi la nécessité d'une RAM locale rapide uniquement pour le DSP. Cela retire aussi les restrictions en matière de taille de programmes ou de données. Le cache mémoire de 8 Ko intégré combiné avec un logiciel adapté permet au DSP3210 d'exécuter un travail sur des signaux complexes sans utiliser de RAM locale. Toutes les instructions sont exécutées en un seul cycle. Une simple instruction peut contenir deux opérations en virgules flottantes. Le DSP3210 supporte jusqu'à 4 accès mémoire en un cycle d'instructions.

L'architecture du DSP3210 comporte 7 unités :

- L'Unité de Contrôle Arithmétique (CAU) :

Responsable du calcul des adresses, de la répartition des instructions, des opérations logiques et arithmétiques sur 16 ou 32 bits. Le noyau de cette unité est RISC et exécute 16.7 millions d'instructions par seconde.

- L'Unité de Données Arithmétiques (DAU)

Se charge des opérations arithmétiques à 16.7 millions d'opérations par seconde.

- La Mémoire intégrée (RAM0, RAM1, Boot ROM)

- L'interface du Bus

- Les Entrées/Sorties sérielles (SIO)

- Le contrôleur d'accès DMA (DMAC)

- Contrôleur d'Etat et de Statut (TSC)

1.59 Gate Array Logic & Programmable Array Logic

Les GAL et les PAL sont des unités logiques programmables. Par une programmation appropriée, de nombreuses fonctions standards de routages des informations peuvent être intégrées dans un simple GAL ou PAL.

Le principal objectif de ces unités est de simplifier au maximum les cartes de circuits numériques, en remplaçant de nombreux autres composants.

Un GAL ou PAL peut remplacer les circuits gérant les fonctions : AND, OR, XOR, NAND, NOR. Mais aussi les inverseurs, les FlipFlops, les décodeurs d'adresse, les multiplexeurs et les compteurs.

De plus, les GAL et les PAL sont reprogrammables et peuvent être protégés contre la copie.

La différence entre les GAL et les PAL tient avant tout au fait que les PAL sont apparûts voici plus d'une dizaine d'années, alors que les GAL sont beaucoup plus récents. Ces derniers sont ainsi beaucoup plus simples à programmer, offrent une plus grande souplesse de configuration tout en consommant moins. Les GAL ont donc tendance à remplacer peu à peu les PAL.

1.60 Les Oscillateurs

L'oscillateur est le composant qui fournit la fréquence d'horloge aux microprocesseurs du système.

L'oscillateur donne une fréquence de base qui peut ensuite être retravaillée pour donner la cadence voulue. La seule condition est que l'oscillateur doit fournir une fréquence multiple absolue de celle que l'on veut obtenir.

Ainsi, les Amiga équipés de 68000 et 68020 ont un Oscillateur à 28 MHz. Dans le cas des A1000, A500, CDTV, A2000 et A600, cette fréquence est ensuite divisée en 4 pour obtenir les 7 Mhz nécessaires au 68000. L'oscillateur donne aussi les 14 MHz du ChipSet. Dans le cas des A1200 et CD32, la fréquence est divisée par deux et l'on obtient les 14 MHz.

Les Amiga 4000 ont un Oscillateur à 50 MHz qui permet de fournir les 25 MHz aux 68030 et 68040.

Un second oscillateur peut parfois être présent pour offrir une fréquence au coprocesseur arithmétique. C'est le cas de l'Amiga 3000.

Les cartes accélératrices possèdent souvent leurs propres oscillateurs, cela dépend de leur mode de fonctionnement, asynchrone ou non.

1.61 Fréquences

La vitesse à laquelle travaille un microprocesseur ne dépend pas seulement de sa génération, de sa technologie, mais aussi de la fréquence d'horloge à laquelle il est cadencé. C'est à dire la cadence à laquelle le processeur exécute les instructions. Cette fréquence se mesure en mégahertz (MHz), en millions d'impulsions par seconde. Plus elle est élevée, plus le processeur travaille rapidement.

Un MHz correspond à 1 million de cycles d'horloge par seconde.

A 1 MHz, un cycle d'horloge prend 1 000 ns, 125 ns à 8 MHz, 62.5 ns à 16 MHz, 50 ns à 20 MHz et 40 ns à 25 MHz.

1.62 Lexique Composants

BGA

Ball Grid Array

CISC

Complex Instructions Set Chip - Processeur à jeu d'instructions complexe

CMS ou SMD

Composants Montés en Surface - Surface Mounted Device

EPROM

Erasable Programmable Read Only Memory

Mémoire Programmable à Lecture Seul Effaçable

IEEE

Institute for Electrical and Electronics Engineers

Société des Ingénieurs Electriciens et Electroniciciens

LSI

Large Scale Integration - Intégration à Grande Echelle

Entre 500 et 20000 circuits intégrés dans un composant

MMU

Memory Management Unit - Unité de gestion mémoire

PAL

Programmable Array Logic

PA-RISC (composant Hewlett-Packard)

Precision Architecture - Reduced Instructions Set Chip

PGA

Pin Grid Array ou Fakir

PLCC

Plastic Leaded Chip Carrier

PLD

Programmable Logic Device - Circuits Logiques Programmables

PROM

Programmable Read Only Memory - Mémoire Programmable à Lecture Seul

QFP

Quadruple Flat Pack

RISC

Reduced Instructions Set Chip - Processeur à jeu d'instructions réduit

RTC

Real Time Clock - Horloge Temps Réel

TLB

Translation Look-Aside Buffer - Tampon de réserve de traduction

TTL

Transistor-Transistor Logic - Logique à Transistor-Transistor

ULSI

Ultra Large Scale Integration - Intégration à Ultra Grande Echelle
Plus de 1 million de circuits intégrés dans un composant

VLSI

Very Large Scale Integration - Intégration à Très Grande Echelle
Plus de 20000 circuits intégrés dans un composant
